

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04525186 **Image available**

POLYCRYSTALLINE SILICON THIN FILM TRANSISTOR

PUB. NO.: **06-169086** [JP 6169086 A]

PUBLISHED: June 14, 1994 (19940614)

INVENTOR(s): KITAI KENICHI
 OOIMA SUSUMU

APPLICANT(s): SANYO ELECTRIC CO LTD [000188] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 04-320716 [JP 92320716]

FILED: November 30, 1992 (19921130)

INTL CLASS: [5] H01L-029/784; G02F-001/136

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1607, Vol. 18, No. 499, Pg. 83,
 September 19, 1994 (19940919)

ABSTRACT

PURPOSE: To increase the resistance of a LDD region and thereby reduce the off current by superposing a source and drain electrodes on the region.

CONSTITUTION: The drain electrode 17 and source electrode 16 of a polycrystalline silicon thin film transistor, are superposed on part of or the entire region 12 in a semiconductor layer with a low impurity concentration, with a gate insulating film 3 and layer insulating film 13 in-between. When the potential applied to the source electrode 16 or drain electrode 17 is negative, consequently, a negative electric field is applied to a LDD region 12 in proximity to the drain electrode 17, and a depletion layer is produced there. Thus a high resistance is obtained. This reduces the current in a region where the gate electrode VC is deep when the drain voltage VD is positive, and that in a region where the gate electrode VC is shallow when the drain voltage VD is negative.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-169086

(43) 公開日 平成6年(1994)6月14日

(51) Int. Cl. ⁵	識別記号	F I .
H01L 29/784		
G02F 1/136	500	9018-2K
		9056-4M
		H01L 29/78
		311 S

審査請求 未請求 請求項の数 1 (全6頁)

(21) 出願番号 特願平4-320716

(22) 出願日 平成4年(1992)11月30日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 北井 健一

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

(72) 発明者 大今 進

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

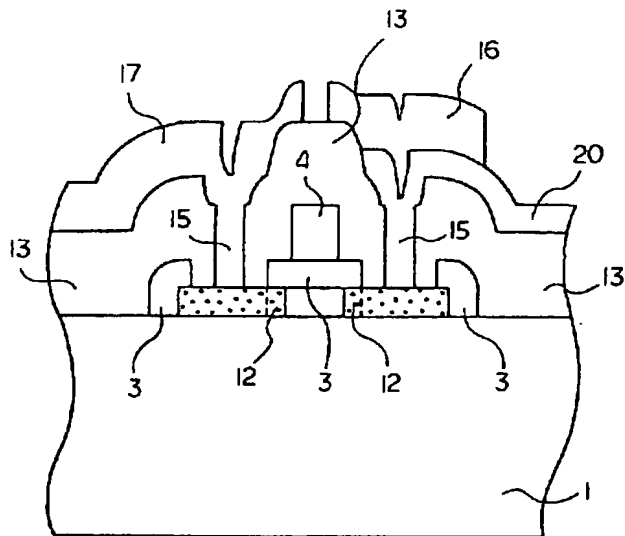
(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 多結晶シリコン薄膜トランジスタ

(57) 【要約】 (修正有)

【目的】 LDD構造を有するTFTにおいて、特に V_g が正の場合の V_g の深い領域での電流、及び V_g が負の場合の V_g の浅い領域での電流を低減することができる多結晶シリコン薄膜トランジスタを提供するものである。

【構成】 LDD領域にソース及びドレイン電極が重畳するような構造である。



【特許請求の範囲】

【請求項 1】 絶縁性基板上に、同じ層内で不純物濃度の異なる領域を複数有する半導体層と、該半導体層の不純物濃度の高い 2 つの領域に対応した開口部を有するゲート絶縁膜と、前記半導体層の 2 つの領域間の不純物濃度の低い領域上に前記絶縁膜を介して備えられたゲート電極と、前記開口部以外の領域に形成された層間絶縁膜と、前記半導体層に開口部を介して接触したソース電極及びドレイン電極とを順次積層してなる多結晶シリコン薄膜トランジスタにおいて、前記ドレイン電極及びソース電極が、前記ゲート絶縁膜及び層間絶縁膜を介して前記半導体層の不純物濃度の低い領域の一部あるいは全部と重畳することを特徴とする多結晶シリコン薄膜トランジスタ。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は、アクティブマトリクス型液晶表示装置におけるスイッチング素子に用いる薄膜トランジスタに関し、特に多結晶シリコン薄膜トランジスタに関するものである。

【 0 0 0 2 】

【従来の技術】 近年、多結晶シリコン薄膜トランジスタに関する研究開発が進められている。

【 0 0 0 3 】 図 9 に従来の LDD (Light Doped Drain) 構造を有する多結晶シリコン薄膜トランジスタ (Poly-Si TFT) の平面図を示し、図 10 に図 9 の C-C' 線に沿った断面図を示す。

【 0 0 0 4 】 LDD 構造を有する薄膜トランジスタ、即ち LDD-TFT は、ゲート電極とドレイン電極との間、及びゲート電極とソース電極との間に、ドレイン電極やソース電極より不純物濃度の低い LDD 領域を備えた構造を有する TFT である。

【 0 0 0 5 】 図 9 及び図 10 に示す如く、石英、ガラス等から成る非晶質絶縁性基板 1 上に、多結晶シリコン膜 2 を形成し、この多結晶シリコン膜 2 をエッチングして島状パターンにする。そして、SiO₂ 膜、SiN_x 膜等から成るゲート絶縁膜 3 を形成し、次に多結晶シリコン膜からなるゲート電極 4 を形成する。

【 0 0 0 6 】 その後、ゲート絶縁膜 3 が LDD 領域に残るようにエッチングして、不純物元素を多結晶シリコン膜 2 にドーピングしてソース領域 10 及びドレイン領域 11 を形成する。

【 0 0 0 7 】 さらに、全面に層間絶縁膜 14 を積層し、ソース領域 10 及びドレイン領域 11 上にコンタクトホール 15 を形成し、そこにそれぞれコンタクトしたソース電極 16 及びドレイン電極 17 を金属で形成する。またここで表示電極 20 を設ければ、表示装置とすることもできる。

【 0 0 0 8 】 ここで、トランジスタ特性のトランスファ特性 ($V_G - I_D$ 特性) について、従来の LDD 構造を

有する多結晶シリコン薄膜トランジスタの場合を説明する。

【 0 0 0 9 】 図 11 に従来の多結晶シリコン薄膜トランジスタのドレイン電圧を正、負にした場合の $V_G - I_D$ 特性を示す。ゲート電圧 V_G が負の領域においても、ドレイン電流 I_D は V_G の大きさに依存せず一定になっているもののその電流値はまだ大きいため、充電特性に劣化が生じる。

【 0 0 1 0 】 以下に、その電流が大きい場合の充電特性に劣化が生じる理由を説明する。

【 0 0 1 1 】 図 12 にゲート電圧 V_G 、ドレイン電圧 V_D 、ソース電圧 V_S のそれぞれの時間変化を示す。

【 0 0 1 2 】 ドレイン電圧 V_D は、ドレイン電極に正、負交互に印加される電圧である。また、ゲート電圧 V_G は常時負であるが TFT をオンする時に正電圧が印加される。この TFT がオン状態の間に $V_G = V_D$ まで充電され、その後次のオン状態となるまでその電圧が保持される。

【 0 0 1 3 】 図 12 の A の領域の場合には、オフ状態において、 V_G はソースからみて深い位置にあり、図 11 では A 点に相当する。従って TFT はオフ状態でも図 11 の A 点で示された電流値 I_A (リーク電流) によって、その電圧は低下してしまう。また図 12 の B の領域の場合には、オフ状態において、 V_G はソースからみて浅い位置にあり、図 11 では B 点に相当する。従って TFT はオフ状態でも図 11 の B 点で示されたリーク電流によって、その電圧は保持することができない。このように図 11 における A 点、B 点は液晶の保持特性においては最も重要な電流値である。

【 0 0 1 4 】 図 13 に LDD 構造を備えていない TFT の $V_G - I_D$ 特性を示す。

【 0 0 1 5 】 同図に示す如く、 V_G が負の場合には、オフ電流が非常に大きい特性である。上述の如く、従来の LDD 構造では、LDD 構造の無い TFT に比べて低いオフ電流ではあるが、以上の観点からは十分に低いとは言えない。

【 0 0 1 6 】

【発明が解決しようとする課題】 本発明は上述の従来の欠点に鑑みて成されたものであり、LDD 構造を有する多結晶シリコン TFT において、特に負の映像信号電圧が印加された場合、その負の映像信号電圧によって LDD 領域を完全にオフ状態とさせ、リーク電流 (オフ電流) が十分小さい多結晶シリコン薄膜トランジスタを提供するものである。

【 0 0 1 7 】

【課題を解決するための手段】 本発明の多結晶シリコン薄膜トランジスタは、絶縁性基板上に、同じ層内で不純物濃度の異なる領域を複数有する半導体層と、該半導体層の不純物濃度の高い 2 つの領域に対応した開口部を有するゲート絶縁膜と、前記半導体層の 2 つの領域間の不

純物濃度の低い領域上に前記絶縁膜を介して備えられたゲート電極と、前記開口部以外の領域に形成された層間絶縁膜と、前記半導体層に開口部を介して接触したソース電極及びドレイン電極とを順次積層してなる多結晶シリコン薄膜トランジスタにおいて、前記ドレイン電極及びソース電極が、前記ゲート絶縁膜及び層間絶縁膜を介して前記半導体層の不純物濃度の低い領域の一部あるいは全部と重畳するものである。

【 0 0 1 8 】

【作用】本発明によれば、ソース電極もしくはドレイン電極に印加される電位が負の場合には、ドレイン電極近傍のLDD領域に負電界が印加されるため、その部分に空乏層ができ高抵抗とすることができる。従って液晶駆動素子用で特に、 V_g が正の場合の V_g の深い領域での電流、及び V_g が負の場合の V_g の浅い領域での電流を低減することができる。

【 0 0 1 9 】

【実施例】以下に本発明の多結晶シリコン薄膜トランジスタの実施例について、図 1 乃至図 5 に従って説明する。

【 0 0 2 0 】まずはじめに、本発明の多結晶シリコン薄膜トランジスタの製造方法について詳述する。

【 0 0 2 1 】図 1 に多結晶シリコン薄膜トランジスタの製造工程の平面図を示し、図 1 乃至図 5 に図 1 の A - A' 線に沿った多結晶シリコン薄膜トランジスタの製造工程の断面図を示す。

【 0 0 2 2 】図 2 に示す如く、石英、ガラス等の非晶質絶縁性基板 1 上に、CVD 法、スパッタ法等によりアモルファスシリコン膜を形成し、これを固相成長法、レーザアニール法等を用いて多結晶化し多結晶シリコン膜 2 とする。その多結晶シリコン膜 2 を島状パターンにエッチングする。続いて、熱酸化法、CVD 法、スパッタ法により、その島状パターンに形成した多結晶シリコン膜 2 を覆うように SiO_2 膜、 SiN_x 膜等のゲート絶縁膜 3 を形成する。

【 0 0 2 3 】そして、このゲート絶縁膜 3 上に、CVD 法、スパッタ法により多結晶シリコンからなるゲート電極 4 を形成する。

【 0 0 2 4 】図 3 に、図 2 で示した構造に続く製造工程の多結晶シリコン薄膜トランジスタの断面図を示す。

【 0 0 2 5 】図 3 に示す如く、ドレイン領域及びソース領域（これらの各領域はさらに後の工程で形成する）上のゲート絶縁膜 3 をレジストパターン 5（図中の斜線部）で覆い、レジストパターン 5 で覆われていない部分のゲート絶縁膜 3 をエッチングしてそのゲート絶縁膜 3 に開口部 6（図 1 における斜線のない部分）を形成する。このとき、ゲート電極 4 の両側のゲート絶縁膜 3 に形成した開口部 6 は、その開口部の周縁 7 が多結晶シリコン膜の周縁 8 及びゲート電極 4 と重畳しないように形成されている。このように、開口部以外の全面をレジス

トパターン 5 で覆ってゲート絶縁膜 3 をエッチングするので、非晶質絶縁性基板 1 のエッチングを防ぐことができる。

【 0 0 2 6 】このゲート電極 4 と前記開口部の周縁 7 との重畳しない部分がLDD領域である。

【 0 0 2 7 】図 4 に示す如く、前記レジストパターンを除去後、前記ゲート絶縁膜 3 をマスクとして、前述の多結晶シリコン膜が露出した開口部 6 に不純物元素をドーピングしてソース領域 10 及びドレイン領域 11（図中のハッチング）を形成する。

【 0 0 2 8 】この露出した開口部 6 に不純物元素をドーピングした後、熱処理を行うことでソース領域 10、ドレイン領域 11 及び各LDD領域の活性化が進み、そのゲート絶縁膜 3 の下層の多結晶シリコン膜の一部に、ソース領域 10 及びドレイン領域 11 よりも不純物濃度の低いLDD領域 12 が形成できるのである。

【 0 0 2 9 】次いでCVD法あるいはスパッタ法あるいは塗布法により、 SiO_2 膜あるいは SiN_x 膜から成る層間絶縁膜 13 を全面に成膜する。

20 【 0 0 3 0 】図 5 に、本発明の実施例の薄膜トランジスタの製造完了後の断面図を示す。

【 0 0 3 1 】同図に示す如く、前記層間絶縁膜 13 の前記ソース領域 10 及びドレイン領域 11 上にゲート絶縁膜 3 の開口部より小さなコンタクトホール 15 を形成し、スパッタ法あるいは蒸着法等により、Al、Mo、Cr、ITO、Ni、あるいはこれらの混合膜又は積層膜からなる導電膜配線、即ちソース電極 15、ドレイン電極 17 及びそのドレイン電極 17 を備えたドレイン配線 18 を形成する。またここで表示電極 20 を設ければ、表示装置とすることもできる。

30 【 0 0 3 2 】これらの導電膜配線のうち、ソース電極 16、ドレイン電極 17 の両電極が、LDD領域と重畳するように形成する。

【 0 0 3 3 】このような本発明の構造にすることにより、TFT特性が向上するのであるが、そのことについて以下に説明する。

【 0 0 3 4 】図 6 にゲート電圧 V_g 、ドレイン電圧 V_d 、ソース電圧 V_s のそれぞれの時間変化を示す。

【 0 0 3 5 】ドレイン電圧 V_d は、ドレイン電極に正、負交互に印加される電圧である。また、ゲート電圧 V_g は常時負であるがTFTをオンする時に正電圧が印加される。このTFTがオン状態の間に $V_g = V_g$ まで充電され、その後次にオン状態となるまでその電圧が保持される。

【 0 0 3 6 】図 6 の A の領域の場合には、オフ状態において、 V_g はソースからみて深い位置にあり、図 7 では A 点に相当する。従ってTFTはオフ状態でも図 7 の A 点で示された電流値 I_d （リーク電流）によって、その電圧は低下してしまう。また図 6 の B の領域の場合には、オフ状態において、 V_g はソースからみて浅い位置

5

にあり、図 7 では B 点に相当する。従って T F T はオフ状態でも図 7 の B 点で示されたリーク電流によって、その電圧は保持することができない。

【0037】このように図 7 における A 点、B 点は液晶の保持特性においては最も重要な電流値である。

【0038】本発明においては、A 点の場合、ソース電圧が負であればソース電極部の L D D 領域が高抵抗になりオフ電流は低減される。またソース電圧が正の場合はドレイン電圧とほぼ同電位になるため電流は流れない。一方 B 点の場合、ソース電圧にかかわらず、ドレイン電圧が負であるのでその L D D 領域は高抵抗となりオフ電流は流れない。特に、ドレイン、ソース共に負電圧の場合電流は全く流れない状態となる。本発明の構造を持つ T F T において測定した $V_G - I_D$ 特性を図 8 に示す。このように、従来の L D D 構造の T F T に比較して A 点、B 点での電流を低減することができた。

【0039】尚、ソース電極及びドレイン電極の L D D 領域への重なりについては、本実施例では一定の重なり量であるが、重なっておればいくらでもよい。

【0040】

【発明の効果】本発明によれば、L D D 領域にソース電極及びドレイン電極を重ねることにより、L D D 領域を高抵抗にすることができ、オフ電流の低減が可能となる。従って、リーク電流が減少し、液晶の保持率の向上が図れ、高品質のパネルを供給することができる。

【図面の簡単な説明】

【図 1】本発明の L D D 構造の多結晶シリコン薄膜トランジスタの平面図である。

【図 2】本発明の L D D 構造の多結晶シリコン薄膜トランジスタの断面図である。

【図 3】本発明の L D D 構造の多結晶シリコン薄膜トランジスタの断面図である。

【図 4】本発明の L D D 構造の多結晶シリコン薄膜トランジスタの断面図である。

【図 5】本発明の L D D 構造の多結晶シリコン薄膜トランジスタの断面図である。

6

【図 6】本発明の L D D 構造の多結晶シリコン薄膜トランジスタの各電圧の時間変化である。

【図 7】本発明の L D D 構造の多結晶シリコン薄膜トランジスタのトランスファ特性である。

【図 8】従来の L D D 構造の多結晶シリコン薄膜トランジスタの各電圧の時間変化である。

【図 9】従来の L D D 構造の多結晶シリコン薄膜トランジスタの平面図である。

【図 10】従来の L D D 構造の多結晶シリコン薄膜トランジスタの断面図である。

【図 11】従来の L D D 構造の多結晶シリコン薄膜トランジスタのトランスファ特性である。

【図 12】従来の L D D 構造の多結晶シリコン薄膜トランジスタのトランスファ特性である。

【図 13】従来の L D D 構造の無い多結晶シリコン薄膜トランジスタのトランスファ特性である。

【符号の説明】

1 非晶質絶縁性基板

2 多結晶シリコン膜

3 ゲート絶縁膜

4 ゲート電極

5 レジストパターン

6 開口部

7 開口部の周縁

8 多結晶シリコン膜の周縁

9 ゲートオフセット領域

10 ソース領域

11 ドレイン領域

12 L D D 領域

13 ソース領域及びドレイン領域の周縁

14 層間絶縁膜

15 コンタクトホール

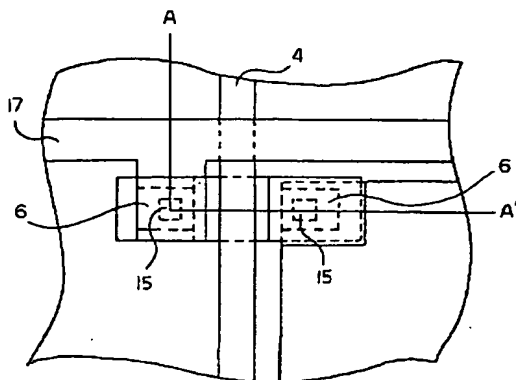
16 ソース電極

17 ドレイン電極

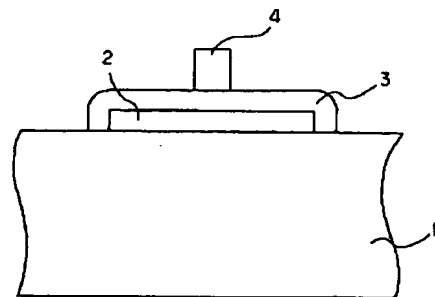
18 ドレイン配線

20 表示電極

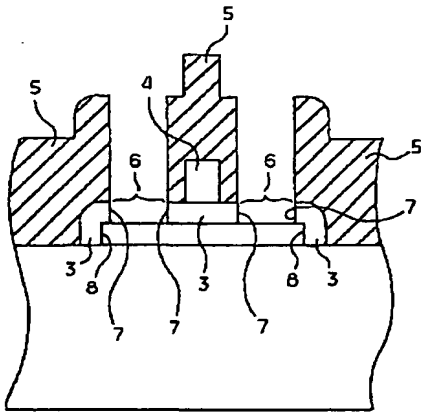
【図 1】



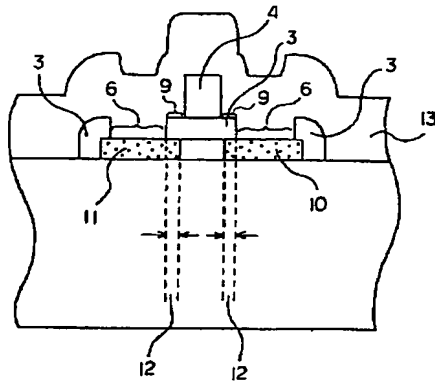
【図 2】



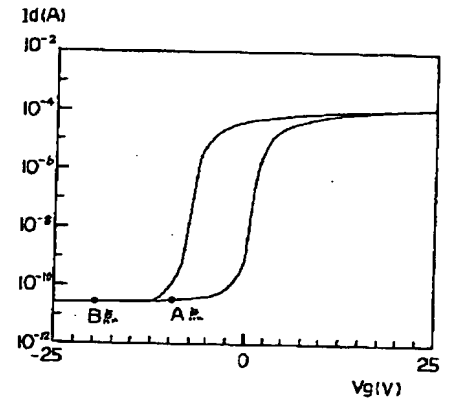
【図3】



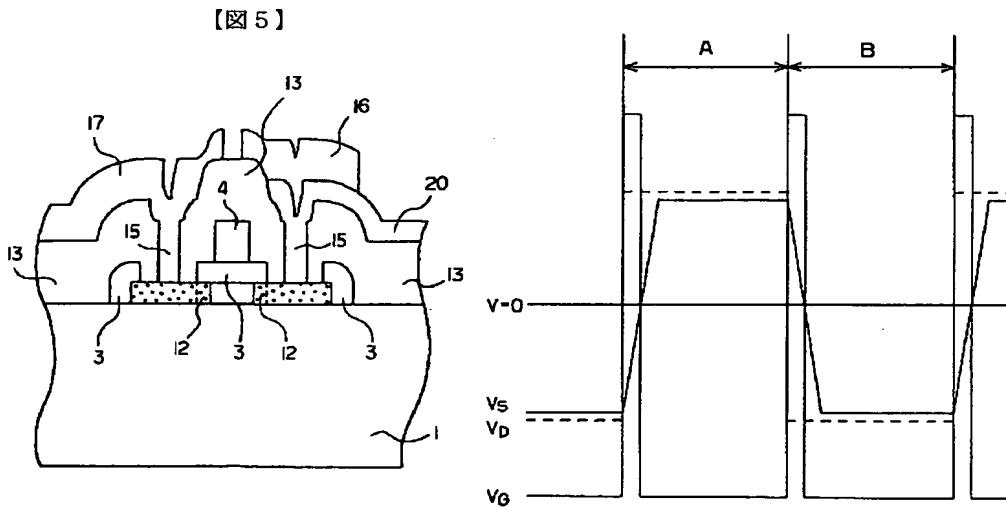
【図4】



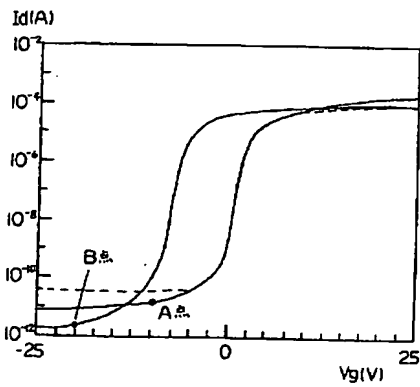
【図7】



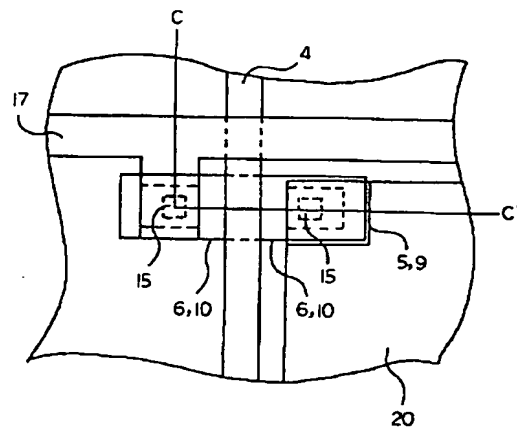
【図6】



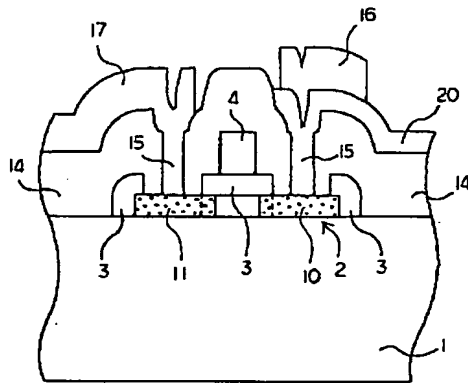
【図8】



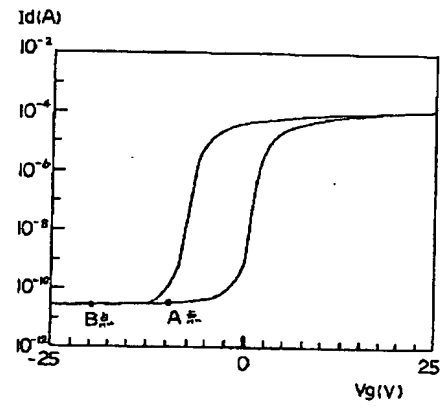
【図9】



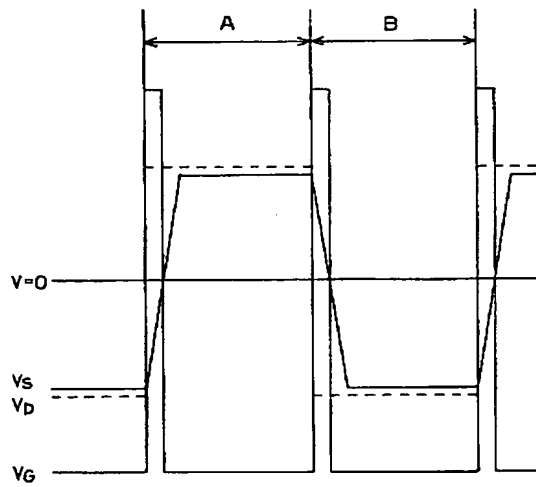
【図 10】



【図 11】



【図 12】



【図 13】

